

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-268767
 (43)Date of publication of application : 24.09.1992

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-029931

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.02.1991

(72)Inventor : ITO TAKASHI
TSUCHIYA SHINPEI

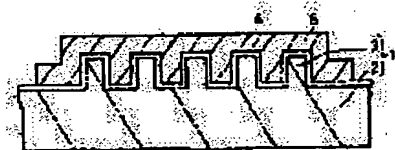
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

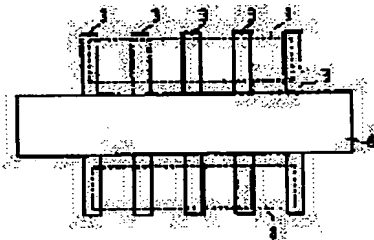
PURPOSE: To provide a semiconductor device which contains an insulated gate type field effect transistor that is able to display an excellent performance making use of a limited area effectively.

CONSTITUTION: Semiconductor regions 3 long and narrow protruding from the surface of a base, a gate insulating film 4 formed on the surface of the semiconductor regions 3, a gate electrode 6 which is formed on the gate insulating film 4 at the center of the semiconductor regions 3 as a common electrode of the semiconductor regions 3 and able to control an electrical field inside each of the semiconductor regions 3 from both its sides, and source/drain electrodes which are located on both the sides of the gate electrode 6 coming into electrical contact with the semiconductor regions 3 are provided.

(A) 正面図



(B) 上面図



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-268767

(43) 公開日 平成4年(1992)9月24日

(51) Int. Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		8422-4M	H 0 1 L 29/78	3 0 1 H
		8422-4M		3 0 1 V

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平3-29931

(22) 出願日 平成3年(1991)2月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 伊藤 隆司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 土屋 真平

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

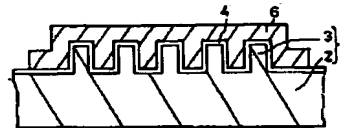
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

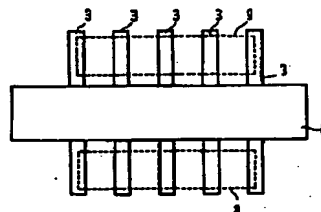
【目的】 限られた面積を有効に利用し、優れた性能を発揮することのできる絶縁ゲート型電界効果トランジスタを含む半導体装置を提供することを目的とする。

【構成】 下地表面から突出した複数の細長い半導体領域3と、前記半導体領域3表面に形成されたゲート絶縁膜4と、前記複数の細長い半導体領域3の中央部で前記ゲート絶縁膜4上に形成され、少なくとも前記半導体領域3の各々において両側面から内部を電界制御できる、複数の半導体領域3に共通のゲート電極6と、前記ゲート電極6の両側で前記複数の半導体領域3に電気的にコンタクトするソース/ドレイン電極とを有するように構成する。

実施例
(A) チャンネル断面図



(B) 平面図



1: 半導体領域
2: 下地
3: 突出部
4: ゲート絶縁膜
5: ゲート電極

1

【特許請求の範囲】

【請求項1】 下地(1)表面から突出した複数の細長い半導体領域(2)と、前記半導体領域(2)表面に形成されたゲート絶縁膜(4)と、前記複数の細長い半導体領域(2)の中央部で前記ゲート絶縁膜(4)上に形成され、少なくとも前記半導体領域(2)の各々において両側面から内部を電界制御できる、複数の半導体領域(2)に共通のゲート電極(6)と、前記ゲート電極(6)の両側で前記複数の半導体領域(2)に電気的に

コンタクトするソース/ドレイン電極(8、9)とを有する半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記半導体領域の各々は実質的に同一断面寸法を有し、高さが幅より大きく、幅は両側面のゲート電極に逆バイアスを印加することにより前記半導体領域(2)の全幅が空乏化もしくは、反転層ができる値に選ばれている半導体装置。

【請求項3】 前記半導体領域(2)の上には、ゲート絶縁膜を形成する該半導体領域(2)の側面上の絶縁膜よりも厚く絶縁膜が被膜されていることを特徴とする半導体装置の請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に絶縁ゲート型電界効果トランジスタを有する半導体装置に関する。

【0002】 絶縁ゲート型電界効果トランジスタ、特にMOS型電界効果トランジスタは、個別素子あるいは集積回路装置の基本素子として広く用いられてきた。絶縁ゲート型電界効果トランジスタの動作速度、電流駆動力および集積度の向上を図るためには、素子寸法の微細化が有効であり、サブミクロンの加工技術も開発されている。

【0003】 微細化が進み、たとえば素子寸法がハーフミクロン以下になると、いわゆる短チャネル効果が問題となる。短チャネル効果は閾値電流の低下、リーク電流の増大、ホットキャリアの発生等となって表われ、信頼性低下の原因となる。

【0004】

【従来の技術】 まず、従来の技術による絶縁ゲート型電界効果トランジスタについて、図3を参照して説明する。

【0005】 図3(A)は、単結晶半導体基板に形成した基本的な絶縁ゲート型電界効果トランジスタを断面で示す。p型のシリコン基板51の表面に、一対のn型領域で形成されるソース/ドレイン領域52、53がp型のチャネル領域54を挟んで形成されている。チャネル領域54の上には、酸化シリコン膜等で形成されたゲート絶縁膜56を介して多結晶シリコンまたは金属等で形成されたゲート電極57が形成されている。また、ソー

2

ス/ドレイン領域52、53には、アルミニウム等で形成されたソース/ドレイン電極58、59がそれぞれ接続されている。

【0006】 ゲート電極57に印加するゲートバイアス電圧によって、チャネル領域54が電界制御され、導電性チャネルを誘起することによってソース/ドレイン領域52、53間の導電性が制御される。

【0007】 このような構成において、集積度向上等のためチャネル領域54の長さを短くすると、短チャネル効果が生じるようになる。短チャネル効果は、ゲート電極57がチャネル領域54に及ぼす影響よりも、ドレイン領域53がチャネル領域54に及ぼす影響のほうが強くなること等によって生じる。

【0008】 図3(B)は、多結晶シリコン等の多結晶半導体を用いたダブルゲート絶縁ゲート型電界効果トランジスタの構造を断面で示す。ガラス基板61の上に、アルミニウム等の金属で形成された第1ゲート電極62が形成され、その上に酸化シリコン等で形成された第1ゲート絶縁膜63が形成されている。このゲート絶縁膜63の上に多結晶シリコン(アモルファスシリコンを含む)で形成された高抵抗率半導体層64が形成されている。この高抵抗率半導体層64がチャネルを構成する。半導体層64の上に、さらに第2ゲート絶縁膜66、第2ゲート電極67が形成される。これらのゲート絶縁膜66、ゲート電極67は下側のゲート絶縁膜63、ゲート電極62と同様の材料で形成される。また、半導体層64の露出した面上には、ソース/ドレイン電極68、69が形成される。これらの電極は、n型多結晶シリコン等の低抵抗率半導体層と、アルミニウム等の金属層の積層等によって形成される。

【0009】 チャネルを構成する半導体層64は、その表側、裏側の両方において、ゲート電極62、67によって電界制御される。半導体層64の厚さが、たとえば0.1 μ m程度以下と薄い場合、第1ゲート電極62、第2ゲート電極67に同時にゲート電圧を印加した時に得られる相互コンダクタンスは、片方のゲート電極のみにゲート電圧を印加した時の2倍以上の値になることが知られている。これは、第1ゲート電極と第2ゲート電極に同時にゲート電圧を印加することにより、チャネル領域中を流れるキャリアがゲート絶縁膜附近に集中することなく、半導体層の内に幅広く広がり、ゲート電圧印加による電界がキャリアに有効に作用するためであると考えられる。

【0010】

【発明が解決しようとする課題】 図3(A)に示す単結晶半導体基板を用いたIGFETにおいては、ソース領域とドレイン領域との間の距離を短くすると、短チャネル効果が生じる。

【0011】 図3(B)に示すダブルゲート型IGFETにおいては、チャネル領域の両側にゲート電極が配置

3

されるため、相互コンダクタンスを大きくしやすく、短チャネル効果も生じ難いと考えられるが、ダブルゲート構造を採用すると、用いる半導体が多結晶半導体になってしまう。多結晶半導体においては、キャリア移動度が小さく、トランジスタとして高度の性能を得ることは難しい。

【0012】同様の構造をつくるために、単結晶を用いるプロセスも提案されているが、複雑でまた微細化をはかることが難しい。本発明の目的は、限られた面積を有効に利用し、優れた性能を発揮することのできる絶縁ゲート型電界効果トランジスタを含む半導体装置を提供することである。

【0013】本発明の他の目的は、短チャネル効果防止が容易で、かつ高い相互コンダクタンスを得ることのできる絶縁ゲート型トランジスタを含む半導体装置を提供することである。

【0014】

【課題を解決するための手段】本発明の半導体装置は、下地表面から突出した複数の細長い半導体領域と、前記半導体領域表面に形成されたゲート絶縁膜と、前記複数の細長い半導体領域の中央部で前記ゲート絶縁膜上に形成され、少なくとも前記半導体領域の各々において両側面から内部を電界制御できる、複数の半導体領域に共通のゲート電極と、前記ゲート電極の両側で前記複数の半導体領域に電気的にコンタクトするソース／ドレイン電極とを有する。

【0015】

【作用】下地表面から突出した複数の細長い半導体領域を用いることにより、一定の下地表面積に対して利用できる半導体領域の面積が増大する。

【0016】突出した細長い半導体領域の両側面から内部を電界制御できる共通のゲート電極を用いることにより、ダブルゲート型電界効果トランジスタが構成される。突出した半導体領域の幅を調整することにより、高い相互コンダクタンスを得ることができ、さらに短チャネル効果を有効に防止することができる。

【0017】

【実施例】以下、本発明を実施例に沿って説明する。図1(A)、(B)は、本発明の実施例による半導体装置を示す断面図および平面図である。p型シリコンで形成された単結晶半導体基板1は、線形領域を残してエッチングによって掘り下げられており、下地2の上に線形の突出部3を有する形状とされている。突出部3は、図1(A)に示すように、ほぼ矩形の断面を有する。各突出部3はほぼ同一の断面形状を有する。

【0018】図1(B)に示すように、複数の突出部3は等間隔で平行に形成されている。これらの突出部は、図1(A)に示すように、好ましくは幅よりも大きな高さを有する。また、突出部3の幅(図1(A)における水平方向の長さ)は、電界制御により両側面から空乏層

4

が延びた時、これらの空乏層が容易に接触し得る値とすることが好ましい。

【0019】このような突出部を有する半導体基板1の表面上に酸化シリコン等で形成されたゲート絶縁膜4を所定の厚さ形成する。このゲート絶縁膜4の上に、突出部3の両側面及び頂面さらに突出部間の下地表面を覆うように、ゲート電極6を形成する。このゲート電極は、図1(B)に示すように、突出部3の中央部分に形成される。すなわち、ゲート電極6の上端および下端から突出部3は上下にさらに延在する。

【0020】突出部3の延在部分にソース／ドレイン電極8、9を形成する。すなわち、ソース／ドレイン電極の接触部を形成する部分は、ゲート絶縁膜4を除去し、必要に応じて不純物を添加し、電極を形成することによってソース／ドレイン電極8、9を形成する。

【0021】このようにして、絶縁ゲート型電界効果トランジスタが構成される。この電界効果トランジスタは、チャネル幅の広い電界効果トランジスタを、図1(A)において横方向に折曲げてその横方向の寸法を小さくしたような構成であるばかりでなく、突出部3の幅を選択することにより、チャネル領域が相対する表面上のゲート電極により制御されるダブルゲート型電界効果トランジスタとして機能する。

【0022】図2に、図1に示す絶縁ゲート型電界効果トランジスタの特性を示す。図2において、横軸はチャネル層の厚さを示し、縦軸は相互コンダクタンスを示す。曲線g1は図3(A)に示すような、従来の構造による絶縁ゲート型電界効果トランジスタの相互コンダクタンスであり、曲線g2が図1に示す実施例による絶縁ゲート型電界効果トランジスタの相互コンダクタンスである。突出部3の高さが幅よりも十分大きい場合、図1に示す電界効果トランジスタは、突出部3両側面に形成した電界効果トランジスタと見なすことができる。チャネル層を形成する突出部3の厚さ(幅)が大きな時は、突出部の両側面に別個のトランジスタが形成されているのと同様であり、相互コンダクタンスは従来のもののほぼ2倍となる。しかしながら、チャネル層の厚さが約0.15 μm 以下になると、チャネル層内で両側面からの電界が相互作用して、相乗作用により突出部3全体がチャネルとして有効に機能し始め、相互コンダクタンスは従来のものの2倍以上となり、次第に増大する。図に示すように、相互コンダクタンスg2は、チャネル層の厚さの減少と共に増大し、ほぼ従来のものの4倍程度まで上昇する。

【0023】以上、単結晶半導体基板に絶縁ゲート型電界効果トランジスタを形成する場合を説明したが、シリコン酸化膜を挟んでシリコン基板を貼り合せた貼り合せ基板等のいわゆるSOI型絶縁基板を用いても同様に絶縁ゲート型電界効果トランジスタを形成することができ

5

【0024】凸状半導体層表面を覆う絶縁膜を均一な膜厚に形成した場合には、この凸状半導体層の角で部に応力が集中して膜厚が薄くなってしまい、角部分での絶縁耐圧が低下してしまうという問題が生じがちである。

【0025】このような角部分での局所的な絶縁膜の薄膜化を防止するためには、凸状半導体層の頂部表面の絶縁膜を側面上等の絶縁膜より厚くしてやればよい。この構造を形成するためには、たとえば、半導体層を凸に形成する以前に酸化膜等を堆積し、次いでR I Eを用いてこの半導体層を凸状にパターニング形成し、この後に凸状半導体層表面を覆うように一様に酸化膜を形成すればよい。

【0026】図4は、S O I型絶縁基板を用いた場合の実施例を示す。図4 (A)において、S i O₂等の絶縁層15の上に配置された半導体基板11は、図1に示す実施例同様の構造を有する。すなわち、下地12の上に突出部13が複数並列に配置され、チャンネルを構成している。また、半導体表面上には酸化シリコン等のゲート絶縁膜14が形成され、その上にゲート電極16が形成されている。

【0027】本実施例においては、半導体基板11の下地12を周辺部で削除すること等により、トランジスタに寄生する容量等を低減することができる。図4 (B)は、絶縁基板を用いた他の実施例を示す。本実施例においては、絶縁基板15上の半導体層は、電流通路を形成する突出部13のみを残して除去されている。すなわち、互に分離された突出部13が絶縁基板15上に複数並列に配置されている。これらの突出部の側面および頂面上には、ゲート絶縁膜14が形成され、さらにその上にゲート電極16が形成されている。本実施例の場合、チャンネル領域は完全に突出部13内に形成され、両側面に配置されたゲート電極16によって制御される。このため、寄生容量がさらに減少し、相互コンダクタンスを高くし易く、短チャンネル効果を防止し易い。

【0028】なお、複数のチャンネル領域は、図4 (B)に示すように、分離して設け、ソース領域およびドレイン領域においては、半導体領域を互に結合させるような形態としてもよい。

【0029】次に、図5を参照して、本発明のさらに他の実施例による半導体装置の構成を、その製造方法と併せて説明する。図5 (A)において、抵抗率約1Ωcmのn型シリコン基板21の表面に、デバイスを形成すべき領域を囲んで厚いフィールド酸化膜31を形成する。なお、このフィールド酸化膜31の底部にはチャンネル発生を防止するためのチャンネルカット領域32がp型不純物ボロンのイオン注入によって形成されている。フィールド酸化膜31で囲まれたデバイス領域内において、平行な線状パターンを覆う形のエッチングマスクを形成し、反応性イオンエッチングを行なうことによって、複数の線状の突出部23を形成する。突出部23のパター

6

ンは、幅約0.1μm、間隔約0.2μm、高さ約0.3μmとする。このようなパターンは、電子ビーム露光を利用することによって容易に形成できる。突出部を形成した後、表面からボロン等のp型不純物をイオン注入することにより、突出部および底部の露出シリコン表面の不純物濃度を高くし、トランジスタの閾値を約0.4Vに設定する。

【0030】次に、熱酸化によって露出したシリコン表面を酸化し、厚さ約10nmのS i O₂膜24を突出部および底部表面に形成する。このようにして、図5 (A)に示す構造を得る。

【0031】次に、図5 (B)に示すように、多結晶シリコン26を堆積し、不純物としてヒ素をドーピングして低抵抗化した後パターニングしてゲート電極26を得る。なお、突出部23は、ゲート電極26の両側(図中紙面表側および裏側)にさらに延在する構成とする。

【0032】次に、ゲート電極26をマスクとしてさらにヒ素をイオン注入し、熱処理によってn⁺領域を形成する。このn⁺領域がソース領域およびドレイン領域となる。これらソース/ドレイン領域上にソース/ドレイン電極を形成する。その後、ゲート電極26上にはリンガラスで形成された層間絶縁膜35を形成する。

【0033】なお、このようにして形成したトランジスタの平面構造は、図1 (B)に示すものと同様である。以上のように製造した電界効果トランジスタは、同じデバイス面積を用いて作成した従来技術によるM O S Tランジスタと比べ、約3倍の相互コンダクタンスすなわち電流駆動力を提供することができた。微細加工技術を用い、チャンネル領域の幅を約0.2μmとすると、相互コンダクタンスは約800mho/mmとなる。

【0034】以上、シリコンを用いた絶縁ゲート型電界効果トランジスタを有する半導体装置について説明したが、本発明はこれに制限されるものではない。また、nチャンネルトランジスタの場合を説明したが、導電型を反転することにより、pチャンネルトランジスタを形成することもできる。その他、種々の変更、改良、組合せ等が可能なのは当業者に自明であろう。

【0035】

【発明の効果】以上説明したように、本発明によれば、突出部の側面を利用することにより、基板面積の利用効率の高い半導体装置が提供される。

【0036】また、基板上に縦方向に突出した半導体領域の両側面を利用してダブルゲート型絶縁ゲート電界効果トランジスタを形成することにより、短チャンネル効果を効果的に防止し、高い相互コンダクタンスを有する電界効果トランジスタを有する半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明の実施例を示す。図1 (A)は、チャンネル部の断面図、図1 (B)は平面図である。

【図2】図1の実施例の特性を従来の技術による絶縁ゲ

7

ート型電界効果トランジスタの特性と比較して示すグラフである。

【図3】従来の技術を示す。図3(A)は、単結晶半導体基板を用いたIGFETの断面図、図3(B)は、多結晶を用いたダブルゲートIGFETの断面図である。

【図4】絶縁基板を用いた実施例を示す。図4(A)、(B)はその2つの形態を示す断面図である。

【図5】絶縁ゲート型電界効果トランジスタの製造方法を、他の実施例による構造の説明と共に示す断面図である。

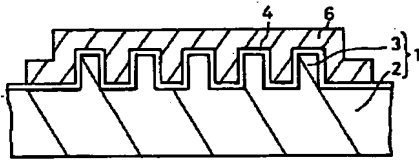
【符号の説明】

- 1 単結晶半導体基板
- 2 下地
- 3 突出部
- 4 ゲート絶縁膜
- 6 ゲート電極
- 11 半導体基板
- 12 下地
- 13 突出部
- 14 ゲート絶縁膜
- 15 絶縁基板
- 16 ゲート電極

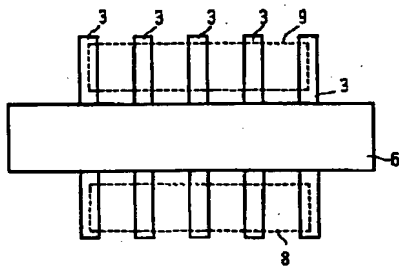
【図1】

実施例

(A) チャンネル断面図



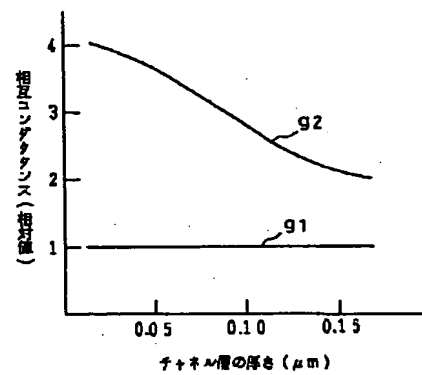
(B) 平面図



- 1: 単結晶半導体基板
- 2: 下地
- 3: 突出部
- 4: ゲート絶縁膜
- 6: ゲート電極

【図2】

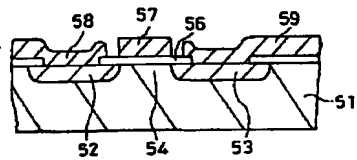
特性



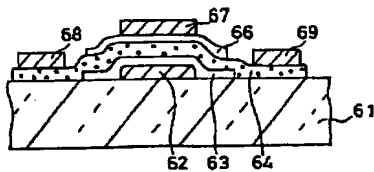
【図3】

従来の技術

(A) 単結晶半導体基板を用いたIGFET



(B) 多結晶を用いたダブルゲートIGFET

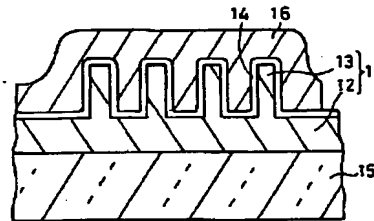


- | | |
|--------------------|--------------------|
| 51: Si基板 | 61: ガラス基板 |
| 52, 53: ソース/ドレイン領域 | 62, 63: ゲート電極 |
| 54: チャネル領域 | 64: ゲート絶縁膜 |
| 56: ゲート絶縁膜 | 66, 67: ソース/ドレイン電極 |
| 57: ゲート電極 | 68: 高抵抗半導体層 |
| 58, 59: ソース/ドレイン電極 | |

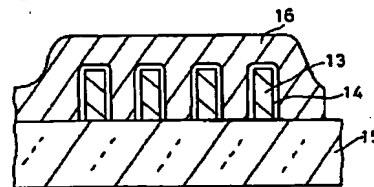
【図4】

絶縁基板の場合の実施例

(A) その1



(B) その2

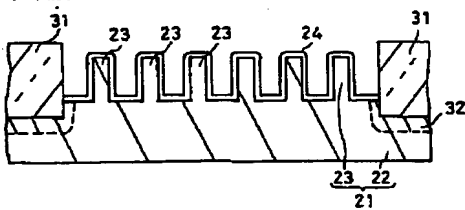


- | |
|------------|
| 11: 半導体基板 |
| 12: 下地 |
| 13: 突出部 |
| 14: ゲート絶縁膜 |
| 15: 絶縁基板 |
| 16: ゲート電極 |

【図5】

製造方法

(A) 前半



(B) 後半

